

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284067

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H01L 21/768
H01L 21/316
H01L 21/318
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 10-081066

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.1998

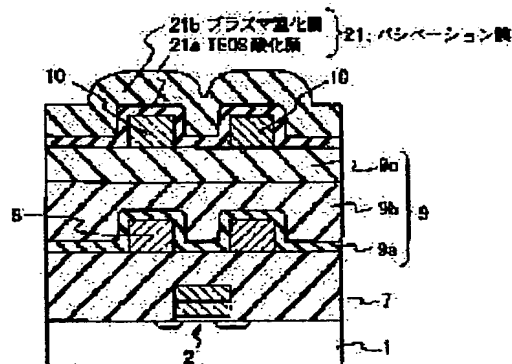
(72)Inventor : OSHIMA YOICHI
MORI SEIICHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of a semiconductor device by preventing hydrogen diffusion from a passivation film to a circuit element, such as a nonvolatile memory cell or the like.

SOLUTION: A nonvolatile memory cell 2 is formed on a silicon substrate 1 and is covered with a first interlayer insulation film 7 of BPSG or the like. After forming a first layer metal wiring 8 on the first interlayer insulation film 7, the second interlayer insulation film 9 of a three-layer structure is formed. A plasma oxide film 9a is deposited in a state in which the ruggedness of the wiring on a surface is reflected, a tetraethyl oxisilane (TEOS) oxide film 9b is deposited on it, a planarizing processing is performed, and a plasma oxide film 9c is deposited further. After forming a second layer metal wiring 10 on the second interlayer insulation film 9, the passivation film 21 consisting of a TEOS oxide film 21a and plasma nitride film 21b is formed.



LEGAL STATUS

[Date of request for examination] 21.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3459355

[Date of registration] 08.08.2003

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-284067

(43)公開日 平成11年(1999)10月15日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/768
21/316
21/318
27/115
21/8247

H 0 1 L 21/90 M
21/316 M
21/318 M
27/10 4 3 4
29/78 3 7 1

審査請求 未請求 請求項の数14 O L (全 13 頁) 最終頁に続く

(21)出願番号

特願平10-81066

(22)出願日

平成10年(1998) 3 月27日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 大島 洋一

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(72)発明者 森 誠一

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

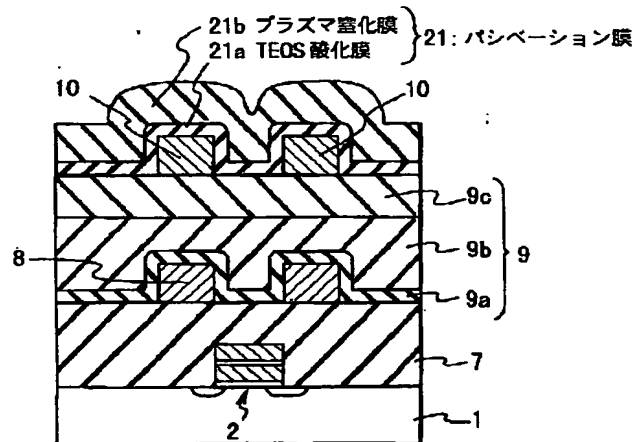
(74)代理人 弁理士 外川 英明

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 層間絶縁膜構造を改良して、パシベーション膜から不揮発性メモリセル等の回路素子への水素拡散を防止して半導体装置の信頼性向上を図る。

【解決手段】 シリコン基板 1 に不揮発性メモリセル 2 を形成し、その上を B P S G 等の第 1 の層間絶縁膜 7 で覆う。第 1 の層間絶縁膜 7 上に第 1 層金属配線 8 を形成した後、3 層構造の第 2 の層間絶縁膜 9 を形成する。プラズマ酸化膜 9 a は配線の凹凸を表面に反映した状態に堆積し、この上に T E O S 酸化膜 9 b を堆積して平坦化処理を行い、更にプラズマ酸化膜 9 c を堆積する。第 2 の層間絶縁膜 9 上に第 2 層金属配線 1 0 を形成した後、T E O S 酸化膜 2 1 a とプラズマ窒化膜 2 1 b からなるパシベーション膜 2 1 を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板に集積形成された回路素子と、この回路素子上に層間絶縁膜を介して形成された多層配線と、この多層配線の最上層を覆って形成されたプラズマ CVD により堆積されたシリコン窒化膜を含むパシベーション膜とを有する半導体装置において、

前記多層配線の少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜は、

第 $(n-1)$ 層目の配線層の段差を解消する実質的に平坦な表面をもって堆積された平坦化絶縁膜と、

この平坦化絶縁膜上に堆積された平坦化絶縁膜に比べて緻密な緻密絶縁膜との積層構造を有することを特徴とする半導体装置。

【請求項 2】 前記平坦化絶縁膜は、有機オキシシランを主原料ガスとした CVD 又はスピノングラスにより堆積されたシリコン酸化膜であり、前記緻密絶縁膜は、シランを主原料ガスとしたプラズマ CVD により堆積されたシリコン酸化膜であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記緻密絶縁膜は、 $200\sim600\text{ nm}$ の膜厚を有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記平坦化絶縁膜は、 $200\sim500\text{ nm}$ の膜厚を有することを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】 半導体基板と、この半導体基板に集積形成された回路素子と、この回路素子上に層間絶縁膜を介して形成された多層配線と、この多層配線の最上層を覆って形成されたプラズマ CVD により堆積されたシリコン窒化膜を含むパシベーション膜とを有する半導体装置において、

前記多層配線の少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜は、

第 $(n-1)$ 層目の配線層の段差を反映する表面段差をもって堆積された第 1 の絶縁膜と、

この第 1 の絶縁膜上にその表面段差を解消する実質的に平坦な表面をもって堆積された第 2 の絶縁膜と、

この第 2 の絶縁膜上に平坦に堆積された第 2 の絶縁膜に比べて緻密な第 3 の絶縁膜との積層構造を有することを特徴とする半導体装置。

【請求項 6】 前記第 1 及び第 3 の絶縁膜は、シランを主原料としたプラズマ CVD により堆積されたシリコン酸化膜であり、

前記第 2 の絶縁膜は、有機オキシシランを主原料とした CVD 又はスピノングラスにより堆積されて平坦化処理されたシリコン酸化膜であることを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 前記第 2 の絶縁膜は、 $200\sim500\text{ nm}$ の膜厚を有するシリコン酸化膜であることを特徴とす

る請求項 6 記載の半導体装置。

【請求項 8】 前記第 3 の絶縁膜は、 $200\sim600\text{ nm}$ の膜厚を有するシリコン酸化膜であることを特徴とする請求項 6 記載の半導体装置。

【請求項 9】 前記回路素子は、電荷蓄積層を有する不揮発性メモリセルを含むことを特徴とする請求項 1 乃至 8 のいずれかに記載の半導体装置。

【請求項 10】 半導体基板に回路素子を集積形成する工程と、前記回路素子上に層間絶縁膜を介して多層配線を形成する工程と、前記多層配線の最上層を覆うパシベーション膜としてプラズマ CVD によりシリコン窒化膜を形成する工程とを有する半導体装置の製造方法において、

前記多層配線のうち少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜の形成工程は、

シランを主原料とするプラズマ CVD により第 1 のシリコン酸化膜を堆積形成する工程と、

前記第 1 のシリコン酸化膜上に有機オキシシランを主原料とする CVD 又はスピノングラスにより第 2 のシリコン酸化膜を堆積形成する工程と、

前記第 2 のシリコン酸化膜上にシランを主原料とするプラズマ CVD により第 3 のシリコン酸化膜を堆積形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】 半導体基板に電荷蓄積層を有する不揮発性メモリセルを含む回路素子を集積形成する工程と、前記回路素子上に層間絶縁膜を介して多層配線を形成する工程と、前記多層配線の最上層を覆ってプラズマ CVD により堆積されたシリコン窒化膜を含むパシベーション膜を形成する工程とを有する半導体装置の製造方法において、

前記多層配線のうち少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜の形成工程は、

第 $(n-1)$ 層目の配線の段差を反映した表面段差を有する第 1 のシリコン酸化膜を堆積形成する工程と、

前記第 1 のシリコン酸化膜上に有機オキシシランを主原料とする CVD 又はスピノングラスにより第 2 のシリコン酸化膜を堆積形成する工程と、

前記第 2 のシリコン酸化膜の表面を平坦化処理する工程と、

前記第 2 のシリコン酸化膜上にシランを主原料とするプラズマ CVD により第 3 のシリコン酸化膜を堆積形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 12】 前記第 2 のシリコン酸化膜の表面を平坦化処理した後、 $300\sim450^\circ\text{C}$ の熱処理を行うことを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】 前記第 2、第 3 のシリコン酸化膜を前記第 1 のシリコン酸化膜より厚く形成することを特徴とする請求項 10 又は 11 に記載の半導体装置の製造方

法。

【請求項 14】 前記第 3 のシリコン酸化膜を 200～600 nm の厚み堆積形成することを特徴とする請求項 10 又は 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、特に不揮発性半導体メモリに適用して有用な多層配線構造を有する半導体装置とその製造方法に関する。

【0002】

【従来の技術】従来より、浮遊ゲートに電荷を蓄積する形でデータを不揮発に記憶する不揮発性半導体メモリデバイスでは、メモリセルの電荷保持特性を劣化させないために、パシベーション膜として、その最上層にプラズマ CVD によるシリコン窒化膜（以下、プラズマ窒化膜という）を用い、その下地にシラン（SiH₄）ガスを用いたプラズマ CVD によるシリコン酸化膜（以下、プラズマ酸化膜という）を敷く 2 層膜構造を用いる方法が知られている。これは、窒化膜中から拡散する水素が不揮発性メモリセルの書き込み消去特性の劣化を引き起こすために、酸化膜で水素の拡散をブロックすることを目的としている。

【0003】一方、多層配線構造の半導体デバイスにおいては、微細化が進む中で、その配線層の層間絶縁膜として、TEOS（tetraethyloxysilane：Si（OC₂H₅）₄）ガスに代表される有機オキシシランガスを原料ガスとして用いた CVD により堆積されるシリコン酸化膜（以下、TEOS 酸化膜という）が用いられている。しかし、TEOS 酸化膜は水分を吸湿しやすい性質を有しており、不揮発性半導体メモリに適用した場合には、TEOS 酸化膜からの水分がメモリセルの電荷保持特性を劣化させることが知られている。そのため不揮発性半導体メモリデバイスでは、TEOS 酸化膜の下にプラズマ酸化膜を 100～200 nm 程度堆積する手法が用いられる。

【0004】図 26 に、その従来例を示す。シリコン基板 101 にはメモリセル 102 が多数配列形成される。メモリセル 102 は、代表的には、ゲート絶縁膜を介して浮遊ゲートと制御ゲートが積層された積層ゲート型とされる。メモリセル 102 を覆って形成された層間絶縁膜 103 上に第 1 層金属配線 104 が形成される。第 1 層配線 104 の上には、プラズマ酸化膜 105 a が 100～200 nm 程度堆積され、更にその上に TEOS 酸化膜 105 b が堆積されて、平坦化される。この 2 層構造の層間絶縁膜 105 上に第 2 層金属配線 106 が形成される。第 2 層配線 106 の上には、パシベーション膜 107 として、プラズマ酸化膜 107 a とプラズマ窒化膜 107 b の積層膜が形成される。

【0005】

【発明が解決しようとする課題】不揮発性メモリセルの

信頼性を確保するために、図 26 に示したような層間絶縁膜構造が考えられているが、素子や配線の微細化が進むにつれ、上記構造ではその効果を発揮することが困難になってきている。すなわち、プラズマ窒化膜 107 b からの水素の拡散を防止するためには、プラズマ酸化膜 107 a がある程度以上の膜厚を有することが望まれる。しかし、配線の微細化と共に、第 2 層配線 106 のピッチが狭まるにつれて、ステップカバレージの悪いプラズマ酸化膜 107 a は、図 27 に示すように、配線 106 の側面につく膜厚が薄くなり、水素拡散防止効果を十分に果たせなくなってきた。実際に不揮発性メモリセルの場合には、通常の MOS トランジスタでは問題にならない微量の水素や水分により特性が劣化することが明らかになっている。

【0006】また、第 1 層金属配線 104 における線間の縮小が同様に進むと、線間でボイドが発生しやすくなるため、絶縁膜中にフッ素を添加してそのステップカバレージを向上させる場合がある。このとき、素子の高集積化の観点から特に 3 層以上の金属配線を有する多層配線が形成されると、多層配線の層間絶縁膜中に含有されるフッ素や水分のメモリセル側への拡散が、薄いプラズマ酸化膜 105 a の一層だけでは十分に防止できなくなるおそれがある。

【0007】この発明は、このような事情を考慮してなされたもので、多層配線の層間絶縁膜構造を改良して、最上層パシベーション膜や層間絶縁膜から不揮発性メモリセル等の回路素子への水素、水分、フッ素等の拡散を防止して信頼性向上を図った半導体装置とその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】この発明は、半導体基板と、この半導体基板に集積形成された回路素子と、この回路素子上に層間絶縁膜を介して形成された多層配線と、この多層配線の最上層を覆って形成されたプラズマ CVD により堆積されたシリコン窒化膜を含むパシベーション膜とを有する半導体装置において、前記多層配線の少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜は、第（n-1）層目の配線層の段差を解消する実質的に平坦な表面をもって堆積された平坦化絶縁膜と、この平坦化絶縁膜上に堆積された平坦化絶縁膜に比べて緻密な緻密絶縁膜との積層構造を有することを特徴とする。

【0009】具体的に例えば、平坦化絶縁膜には、有機オキシシランを主原料ガスとした CVD 又はスピンオンガラスにより堆積されたシリコン酸化膜を用い、緻密絶縁膜には、シランを主原料ガスとしたプラズマ CVD により堆積されたシリコン酸化膜を用いる。また好ましくは、緻密絶縁膜は、200～600 nm の膜厚を有し、平坦化絶縁膜は、200～500 nm の膜厚を有するものとする。

【0010】この発明はまた、半導体基板と、この半導体基板に集積形成された回路素子と、この回路素子上に層間絶縁膜を介して形成された多層配線と、この多層配線の最上層を覆って形成されたプラズマCVDにより堆積されたシリコン窒化膜を含むパシベーション膜とを有する半導体装置において、前記多層配線の少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜は、第 $(n-1)$ 層目の配線層の段差を反映する表面段差をもって堆積された第1の絶縁膜と、この第1の絶縁膜上にその表面段差を解消する実質的に平坦な表面をもって堆積された第2の絶縁膜と、この第2の絶縁膜上に平坦に堆積された第2の絶縁膜に比べて緻密な第3の絶縁膜との積層構造を有することを特徴とする。

【0011】第1及び第3の絶縁膜は例えば、シランを主原料としたプラズマCVDにより堆積されたシリコン酸化膜であり、第2の絶縁膜は、有機オキシシランを主原料としたCVD又はスピノングラスにより堆積されて平坦化処理されたシリコン酸化膜である。第3の絶縁膜は好ましくは、200～600nmの膜厚を有するシリコン酸化膜とし、第2の絶縁膜は好ましくは、200～500nmの膜厚を有するシリコン酸化膜とする。

【0012】この発明において好ましくは、回路素子は、電荷蓄積層を有する不揮発性メモリセルを含むものとする。この発明は更に、半導体基板に回路素子を集積形成する工程と、前記回路素子上に層間絶縁膜を介して多層配線を形成する工程と、前記多層配線の最上層を覆うパシベーション膜としてプラズマCVDによりシリコン窒化膜を形成する工程とを有する半導体装置の製造方法において、前記多層配線のうち少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜の形成工程は、シランを主原料とするプラズマCVDにより第1のシリコン酸化膜を堆積形成する工程と、前記第1のシリコン酸化膜上に有機オキシシランを主原料とするCVD又はスピノングラスにより第2のシリコン酸化膜を堆積形成する工程と、前記第2のシリコン酸化膜上にシランを主原料とするプラズマCVDにより第3のシリコン酸化膜を堆積形成する工程とを有することを特徴とする。

【0013】この発明は更に、半導体基板に電荷蓄積層を有する不揮発性メモリセルを含む回路素子を集積形成する工程と、前記回路素子上に層間絶縁膜を介して多層配線を形成する工程と、前記多層配線の最上層を覆ってプラズマCVDにより堆積されたシリコン窒化膜を含むパシベーション膜を形成する工程とを有する半導体装置の製造方法において、前記多層配線のうち少なくとも一つの第 n 層目の配線層の下地となる層間絶縁膜の形成工程は、第 $(n-1)$ 層目の配線の段差を反映した表面段差を有する第1のシリコン酸化膜を堆積形成する工程と、前記第1のシリコン酸化膜上に有機オキシシランを主原料とするCVD又はスピノングラスにより第2のシリコン酸化膜を堆積形成する工程と、前記第2のシリ

コン酸化膜の表面を平坦化処理する工程と、前記第2のシリコン酸化膜上にシランを主原料とするプラズマCVDにより第3のシリコン酸化膜を堆積形成する工程とを有することを特徴とする。

【0014】この発明の方法において好ましくは、第2のシリコン酸化膜の表面を平坦化処理した後、300～450℃の熱処理を行う。この発明によると、多層配線の中の任意の第 n 層の配線層の下地となる層間絶縁膜が、第 $(n-1)$ 層目の配線層の段差を解消するTEOS酸化膜等の平坦化絶縁膜と、この上に積層されたTEOS酸化膜より緻密なプラズマ酸化膜等からなる緻密絶縁膜との少なくとも2層構造を用いて構成される。

【0015】この様な層間絶縁膜構造にすると、平坦化絶縁膜上の緻密絶縁膜は、ステップカバレッジの良くないプラズマ酸化膜を用いたとしても、欠陥を導入することなく、不揮発性メモリセル等の回路素子への影響を無視できる程度に水素拡散を防止するために必要な200nm以上の十分な膜厚で堆積することができる。従ってパシベーション膜にプラズマ窒化膜を用いた場合にも、プラズマ窒化膜からの回路素子への水素拡散が確実に抑えられる。

【0016】この発明で、緻密絶縁膜は厚い程水素拡散防止の効果が大きい、必要以上に厚くすることは、コンタクト孔加工やビアプラグ埋め込み加工を難しくするから、実用上600nm以下に抑えることが望まれる。一方、平坦化絶縁膜は、下地の配線層の段差を十分に解消して実質的に平坦な表面を得る上で200nm以上の膜厚とすることが望ましく、コンタクト孔加工やビアプラグ埋め込み加工の加工性を考慮すると、その上限は一般には500nm以下程度である。

【0017】この発明においてより好ましくは、上記層間絶縁膜は、第 $(n-1)$ 層目の配線層の段差を表面に反映させたプラズマ酸化膜等の緻密絶縁膜（第1の絶縁膜）と、その表面を平坦化するTEOS酸化膜等の平坦化絶縁膜（第2の絶縁膜）と、更にこの上に平坦に堆積されたプラズマ酸化膜等の緻密絶縁膜（第3の絶縁膜）とからなる3層構造とする。

【0018】この様な3層の層間絶縁膜構造とすれば、層間絶縁膜中に多くの緻密絶縁膜が形成されるため、上述したパシベーション膜からの回路素子への水素拡散を防止すると同時に、TEOS膜等の平坦化膜に含まれる水分等の回路素子への拡散が十分に防止される。

【0019】特にこの発明は、パシベーション膜や層間絶縁膜からの水素、水分、フッ素等の拡散の影響が大きい不揮発性メモリセルアレイが形成されている半導体装置に適用した場合に、信頼性向上の効果が大きい。

【0020】

【発明の実施の形態】以下、図面を参照して、この発明の実施例を説明する。図1～図6は、この発明を2層金属配線を持つ積層ゲート型の不揮発性半導体メモリに適

用した第1の実施例の製造工程を示している。

【0021】図1に示すように、シリコン基板1に、周知の手法に従って、通常の積層ゲート型不揮発性メモリセル2を形成する。不揮発性メモリセル2は、ゲート絶縁膜を介して浮遊ゲート3と制御ゲート4を積層形成し、ソース、ドレイン拡散層5、6を形成して作られる。メモリセル2は、通常アレイ構造を有しており、そのアレイ構造については、いく通りもの構造が提案され知られているが、この発明においては、その期待される効果はアレイ構造に依存しないので、便宜的に1セル分のみを示している。

【0022】不揮発性メモリセル2の上には全面に、第1の層間絶縁膜7として例えばBPSG膜を堆積し、平坦化する。そしてこの第1の層間絶縁膜7に電極をとるためのコンタクト孔を開孔し（図では省略している）、Al等の配線材料膜を400nm堆積し、パターンニングして第1層配線8を形成する。具体的なAl配線材料膜としては、Ti/TiNのバリアメタル膜を介してAl-Cu膜を積層し、更に上層にTiN膜を積層した構造が用いられる。上部の配線層についても同様の配線材料膜が用いられる。

【0023】次に、図2に示すように、全面にプラズマ酸化膜9aを100nm以上200nm以下程度堆積し、更にその上にTEOS酸化膜9bを堆積する。ここでプラズマ酸化膜9aの膜厚を100nm以上200nm以下とするのは、100nm未満では水分等に対する拡散防止効果が不十分となり、200nmを超えると被覆性が悪くなり、ボイド等が発生しやすくなるためである。またこのプラズマ酸化膜9aは、下地の第1層配線8の側面にも20nm程度以上堆積させることが好ましく、側面でもその様な厚みが得られる膜厚をもって堆積形成される。具体的には、プラズマ酸化膜9aは、少なくともSiH₄とN₂Oガスを含有する混合ガスを原料ガスとして用いたプラズマCVDにより、第1層配線8の段差を表面に反映させた状態で約150nm堆積する。TEOS酸化膜9bは具体的には、Si(OC₂H₅)₄+F₂の原料ガスをを用いたCVDにより約1200nm堆積する。これにより、TEOS酸化膜9bは、フッ素を成膜時に $5 \times 10^{20} \text{ atoms/cm}^3$ 以上の濃度で取り込んだ膜となる。

【0024】次いで、TEOS酸化膜9bを例えば、CMP（Chemical Mechanical Polishing）法によりその表面の凹凸を削り、図3に示すように膜厚が450nmとなるまで平坦化する。2層以上の多層配線構造を有するデバイスでは、上層に形成する配線層への影響を考慮し、層間絶縁膜は平坦にしておく必要があるためである。この平坦化方法としては、CMP法の他に、レジストを塗布してエッチバックする手法があるが、この発明においては、効果を得る上でその手法は問わない。

【0025】配線の微細化に伴い、第1層配線8のピッチ

が狭くなると、その上に堆積形成する層間絶縁膜の被覆形状も劣化し、ボイドも発生し易くなる。この実施例において、TEOS酸化膜9bとして、フッ素を高濃度に含有する条件で成膜しているのは、フッ素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 以下のTEOS酸化膜と比較し、膜のステップカバレッジが優れているためであり、微細化に伴う形状劣化を改善することを意図している。更に好ましいTEOS酸化膜9b中のフッ素濃度は、成膜時において、 $1 \times 10^{21} \text{ atoms/cm}^3$ 程度である。

【0026】プラズマ酸化膜9aは、TEOS酸化膜9bに比べてガス透過性の低い緻密な膜であるが、ステップカバレッジがあまりよくないために、厚く積むことができない。従って、プラズマ酸化膜9aに重ねてTEOS酸化膜9bを堆積することにより膜厚を稼ぎ、かつ、平坦化している。更に言えば、プラズマ酸化膜9aは誘電率が高いために、これだけでは配線間の容量が大きくなり、高速化に不利である。その点から、上下に電極配線を有する層間絶縁膜として、誘電率の低いTEOS酸化膜9bを用いることが有効である。

【0027】TEOS酸化膜9bを平坦化した後、例えば450℃でアニールする。次いで、図4に示すように、TEOS酸化膜9b上全面に、プラズマ酸化膜9cを先のプラズマ酸化膜9aと同様の条件で、例えば500nm程度堆積する。前述のようにプラズマ酸化膜はステップカバレッジが悪いが、TEOS酸化膜9bによって下地が平坦化されているから、水素拡散防止用として十分な膜厚を欠陥を生じることなく積むことができる。

【0028】以上のようにして、第1の絶縁膜としてプラズマ酸化膜9a、第2の絶縁膜としてTEOS酸化膜9b、第3の絶縁膜としてプラズマ酸化膜9cを積層した3層構造の第2の層間絶縁膜9が形成される。

【0029】その後、層間絶縁膜9に対して、第1層配線8とこの上に形成される配線との間の電氣的接続を行うために、ビア孔を開孔し、ビアプラグを埋め込み形成するが、図面では省略している。

【0030】ビアプラグを形成した後、図5に示すように、Al等の金属配線材料を600nm堆積し、通常の方法に従ってパターンニングして、第2層金属配線10を形成する。

【0031】次いで、図6に示すように、TEOS酸化膜21aを全面に300nm程度堆積し、続いて、プラズマ窒化膜21bを600nm程度堆積して、パシベーション膜21を形成する。その後、図示しないが、通常の工程に従ってパシベーション膜21を選択的にエッチングしてパッド部を開孔し、端子取り出しを行って不揮発性半導体メモリが完成する。

【0032】この実施例において、図3の工程でTEOS酸化膜9bをCMP処理した後、アニールを施すのは、一つには、TEOS酸化膜9bが水分を吸湿し易い

ため、その吸湿した水分をアニールアウトする事を目的としている。アニールのもう一つの目的として、TEOS酸化膜9b中に含まれる遊離し易いフッ素をアニールアウトする意図がある。余剰のフッ素は、TEOS酸化膜9b中により多くの水分を吸収させる弊害を持つ。更に、アニールせずに、TEOS酸化膜9bの上をプラズマ酸化膜9cで覆うと、後の熱工程で余剰のフッ素をガス抜きできず、フッ素濃度によっては膜剥がれ等の異常を起こす原因になることがあるためである。

【0033】以上の目的から、TEOS酸化9bのアニールは、300～450℃の温度範囲で行うことが好ましい。製造工程中で水分が問題になる程度吸湿されないように管理できる場合や、フッ素による膜剥がれの懸念がない場合は、必ずしも上述のアニール工程を施す必要はない。また、実施例では、TEOS酸化膜9bを平坦化した後にアニールしているが、堆積直後にアニール処理することもできる。しかし、平坦化して総膜厚を薄くしてからアニールした方がガスが抜けやすいこと、アニールした後に平坦化処理すると、その間にまた吸湿してしまうことから、平坦化処理後にアニールアウトし、すぐにプラズマ酸化膜9cで上を覆うのが最も好ましい。

【0034】この実施例によれば、TEOS酸化膜9bの直下にプラズマ酸化膜9aが形成されているため、下層の不揮発性メモリセル2へ水分が拡散するのを防止できる。水分の拡散防止のためには、プラズマ酸化膜9aの膜厚としては、100～200nm程度必要である。また、この実施例において、平坦化したTEOS酸化膜9bの上全面にプラズマ酸化膜9cを堆積形成しているのは、パシベーション膜21の構成膜であるプラズマ窒化膜21b中の水素の拡散を防止するためである。この効果を得るためには、層間絶縁膜9中の最上層のプラズマ酸化膜9cは、200nm以上の膜厚であることが好ましく、またその後の工程を考慮して、実用上600nm以下の範囲の膜厚に設定することが望まれる。なお窒化膜からの水素の拡散を抑制するために、従来は、図26に示したように、プラズマ窒化膜直下にプラズマ酸化膜を敷く構造が考えられていた。しかし、配線の微細化と共に、最上層配線ピッチが縮まるにつれ、被覆形状の悪いプラズマ酸化膜で最上層の配線を覆うことは不可能になる。この実施例の構造によれば、最上層配線10の下層間絶縁膜9の最上層として、プラズマ酸化膜9cが平坦なTEOS酸化膜9b上に堆積されるので、水素拡散防止用として十分な膜厚のプラズマ酸化膜9cを容易に形成することが可能になる。

【0035】なおこの実施例では、TEOS酸化膜9bを堆積後、CMP法等により平坦化しており、平坦化後の好ましい膜厚は、200～500nmである。これは、その上に形成するプラズマ酸化膜9cを比較的均一に堆積するためであり、また、層間絶縁膜9に開孔するビアや、層間絶縁膜9上に形成する配線10のパターニ

ングのためのフォトリソグラフィからの要求によるものである。従って、実用上十分な平坦性が確保できれば、必ずしも意図的に平坦化工程を施す必要はない。

【0036】層間絶縁膜中を拡散して来る水分は、書き込み状態にある不揮発性メモリセルのしきい値を下げる弊害を有している。また、不揮発性メモリセルの書き込み消去を繰り返した時、プラズマ窒化膜中から拡散して来る水素は、その書き込み・消去特性を劣化させ、デバイスの動作マージンを低下させてしまう。この実施例によれば、層間絶縁膜9を、下から、プラズマ酸化膜9a、TEOS酸化膜9b、プラズマ酸化膜9cの3層構造とすることにより、水分や水素が不揮発性メモリセル領域に拡散するのを防止することが可能となり、信頼性の高い不揮発性メモリを得ることが可能となる。

【0037】図7～図12は、この発明を3層金属配線を有する不揮発性半導体メモリに適用した第2の実施例の製造工程である。図7は、第1の実施例の図3に対応し、第1層配線8上にプラズマ酸化膜9aとTEOS酸化膜9bを積層し、TEOS酸化膜9bを平坦化した後、アニールした状態である。ここまでは第1の実施例と同様である。

【0038】この後、第1の実施例とは異なり、図8に示すように、プラズマ酸化膜を堆積することなく、図示しないビアプラグ埋め込みを行い、第2層金属配線10をパターン形成する。続いて、第1の実施例の第2の層間絶縁膜9の形成工程と同様の条件で、プラズマ酸化膜11a及びTEOS酸化膜11bを堆積し(図9)、TEOS酸化膜11bの表面を平坦化し(図10)、更にその上にプラズマ酸化膜11cを堆積して、3層構造の第3の層間絶縁膜11を形成する(図11)。

【0039】そしてこの第3の層間絶縁膜11にビアプラグ埋め込みを行い、第3層配線12をパターン形成した後、パシベーション膜21を形成する(図12)。パシベーション膜21は、第1の実施例と同様の条件で形成されるTEOS酸化膜21aとプラズマ窒化膜21bの積層膜としている。

【0040】この実施例においては、第1層配線8と第2層配線10の間の第2の層間絶縁膜9は、プラズマ酸化膜9aとTEOS酸化膜9bの2層構造であり、第2層配線10と第3層配線12の間の第3の層間絶縁膜11は、プラズマ酸化膜11a、TEOS酸化膜11b、及びプラズマ酸化膜11cの3層構造としている。第3の層間絶縁膜11を3層構造にしている理由は、第1の実施例において第2の層間絶縁膜9を3層構造としている理由と同じである。即ち、一番下層のプラズマ酸化膜11aは、その上層から水分が不揮発性メモリセル2へ拡散するのを防止する機能を有している。また、3層構造の中の最上層のプラズマ酸化膜11cはその上層から水素が不揮発性メモリセル2へ拡散するのを防止する機能を有している。

【0041】第2の層間絶縁膜9は、パシベーション膜21からの水素の拡散については、プラズマ酸化膜11cで防止されているため、TEOS酸化膜9bの直上にはプラズマ酸化膜を形成せず、2層膜構造としている。TEOS酸化膜9bの直下のプラズマ酸化膜9aが、TEOS酸化膜9bからの水分の拡散防止の機能を果たしていることは、上記説明と同様である。

【0042】この実施例によっても、不揮発性メモリセルへの水分や水素の拡散を十分に防止することができるため、不揮発性メモリデバイスの高信頼性特性を維持することが可能となる。

【0043】なおこの実施例は、3層配線構造を有する不揮発性メモリを例にして説明したが、4層以上の多層配線構造のデバイスにおいても、同様の層間絶縁膜構造を用いて同様の効果を得ることができる。即ち一般的に、多層配線の中の任意の第(n-1)層目の配線と第n層目の配線との間の層間絶縁膜を、パシベーション膜からの水素拡散防止の機能に着目した場合には、プラズマ酸化膜とTEOS酸化膜の2層積層構造とすることにより、更にTEOS膜からの水分の拡散防止の機能を加味した場合には、プラズマ酸化膜、TEOS酸化膜、プラズマ酸化膜の3層積層構造とすることにより、不揮発性メモリの信頼性向上が図られる。

【0044】図13～図17は、この発明を3層金属配線を有する不揮発性半導体メモリに適用した第3の実施例の製造工程である。図13は、第1の実施例の図5に対応し、3層構造の第2の層間絶縁膜9上に第2層配線10を形成した状態である。ここまでは第1の実施例と同様である。

【0045】その後、プラズマ酸化膜11aを堆積し、続いてTEOS酸化膜11bを堆積し(図14)、TEOS酸化膜11bを平坦化してアニールし(図15)、続いて、第2の層間絶縁膜9と同様の条件で、平坦化したTEOS酸化膜11b上にプラズマ酸化膜11cを堆積する(図16)。これにより、第2の層間絶縁膜9と同様の3層構造の第3の層間絶縁膜11が得られる。

【0046】次に、層間絶縁膜11に必要なビアプラグを埋め込み形成した後、第2の実施例と同様にして第3層配線12をパターン形成し、その上にパシベーション膜21を形成する(図17)。

【0047】この実施例においては、3層の配線8、10、12の間の層間絶縁膜9、11をいずれも、プラズマ酸化膜/TEOS酸化膜/プラズマ酸化膜の3層構造としている。即ち、TEOS酸化膜9b、11bの下地のプラズマ酸化膜9a、11aは、配線の凹凸を反映した凹凸を有するが、それぞれ上のTEOS酸化膜9b、11bからの水分の拡散を防止する働きをする。平坦化された各TEOS酸化膜9b、11b上に平坦に形成されたプラズマ酸化膜9c、11cは、十分な厚みとすることでパシベーション膜からの水素拡散を防止する働き

をする。

【0048】特に第2の実施例と異なる点は、第1層配線8上の層間絶縁膜9についても3層構造としていることであり、これにより次のような効果が得られる。TEOS酸化膜9bを平坦化し、アニールアウトした後に続いて、プラズマ酸化膜9cをその上に全面に堆積し蓋をすることにより、水分をアニールアウトした後のTEOS酸化膜9b中に水分が再度吸湿するのを抑制することができる。また上層の層間絶縁膜11からの水分やフッ素の拡散をプラズマ酸化膜9cで防止することができる。

【0049】この実施例によると、第2の実施例と比較して、更に確実に水分や水素等の不揮発性メモリセルへの拡散を防止することができ、不揮発性メモリセルの高信頼性特性を維持することが可能となる。

【0050】なお上記各実施例において、パシベーション膜を形成した後、最後に450℃程度の温度でシンター処理を行うのが、通常である。しかし、各実施例におけるように各層配線の上をプラズマ酸化膜で覆った状態で熱処理を行うと、プラズマ酸化膜が緻密な膜であるために、配線層中のTiN膜に含まれるNが外方に抜けることができず、膜剥がれが生じる場合がある。

【0051】この難点を解消するためには、各層配線を形成した後、その上にプラズマ酸化膜を堆積する前に、400℃以下程度の熱処理を行うことが好ましい。これにより、配線材料膜中のNを外方に抜くことができ、その後の熱処理工程での膜剥がれを防止することができる。この配線形成直後の熱処理は、Alヒロックの発生を防止するために、比較的低温であることが必要である。即ち、配線材料が上述のように、Ti/TiN/Al-Cu/TiN積層構造とすると、Al-Cu膜が上下をTiN膜で押さえられているために、450℃程度以上の熱処理を行うと、配線の側面にヒロックが成長して、微細ピッチの場合配線短絡の原因となる。このようなヒロックの成長を防止しながら、Nを拡散させるためには、配線形成直後の熱処理は、380～400℃の温度範囲とすることが好ましい。低温でも長時間の熱処理を行うと、ヒロックが成長するから、熱処理時間も短く、好ましくは15分程度以下とする。

【0052】この様に、配線形成直後にN抜きの熱処理工程を入れることにより、その後TEOS膜の平坦化後の熱処理やパシベーション膜形成後のシンター処理による配線の膜剥がれを防止することができる。

【0053】また、上記各実施例において、配線層の平坦化のためにTEOS酸化膜を厚く堆積しているが、TEOS酸化膜の被覆形状が悪いと、図18に示すように配線の間にボイド31が発生することがある。この状態でCMP処理を行い、研磨面がボイド31に達すると、ボイド31に研磨剤等の汚染物が入り込み、これが回路素子、特に汚染に敏感なメモリセルの信頼性に悪影響を

与える。

【0054】そこで、図18に示すようにボイド31が発生した場合には、図19に示すように、CMP処理によるTEOS酸化膜9bの表面位置がボイド31に達しないように、平坦化処理を制御することが好ましい。上部のTEOS酸化膜11bについても同様である。

【0055】更に、上記各実施例において、メモリセル等の拡散層に対するコンタクト部の詳細説明は省略したが、通常コンタクト孔形成後に、コンタクト孔を通して既に形成されている拡散層に重なるようにイオン注入を行い、注入不純物活性化のためRTA (Rapid Thermal Annealing) 処理を行う。しかし、短時間のRTA処理では、RIEによるコンタクト孔形成時に拡散層表面に生じるプロセスダメージを除くことができない場合がある。

【0056】この問題を解決する好ましいコンタクト形成工程例を、図20～図24を参照して説明する。図20は、メモリセル2を形成した後、BPSG等の第1の層間絶縁膜7を堆積形成した状態である。この後、図21に示すように、拡散層5に対するコンタクト孔32をRIEにより形成する。次いでこの状態で、N₂ 雰囲気中で不純物活性化のRTA処理温度より低い温度で炉アニールを行う。この炉アニールの好ましい条件は、700～900℃、30分程度である。

【0057】その後、図22に示すように、コンタクト孔32に自己整合されたイオン注入を行う。そして、注入不純物の活性化のために、N₂ 雰囲気中で、900℃、30秒程度のRTA処理を行い、図23に示すように拡散層5に重なる高濃度のn++拡散層5aを形成する。最後に、図24に示すように、金属配線33を形成する。

【0058】この様な製造工程を用いれば、コンタクト孔開口後の炉アニールにより、コンタクト孔開口時のプロセスダメージを回復することができ、同時にBPSG膜等の層間絶縁膜7に吸湿されている水分をアニールアウトすることができる。層間絶縁膜7中に含まれる水分は、不揮発性メモリセルの信頼性を劣化させる大きな原因となるから、この炉アニールにより信頼性向上が図られる。特にコンタクト孔開口後の炉アニールは、メモリセル近傍に開口したコンタクト孔から水分をアニールアウトするから、効果的である。

【0059】更に、上述の炉アニールは、コンタクト孔に対する自己整合的なイオン注入工程の前に行うことにより、拡散層が不要に伸びるのを防止することができる。そして、注入不純物の活性化は、高温短時間のRTA処理により行われ、これにより配線の低いコンタクト抵抗が得られる。なおこうした炉アニール及びRTA処理は、p+型拡散層に対しコンタクト孔からBF₂等を自己整合的にイオン注入して高濃度のp++型層を形成する場合にも、同様に適用することができる。

【0060】ここまでの実施例は、金属配線層の層間絶縁膜のみに着目したが、図24に示すように、素子形成面を覆うBPSG等の第1の層間絶縁膜7についても、その表面にプラズマ酸化膜7bを形成することができる。これにより、パシベーション膜からのメモリセル等への水素拡散をより効果的に防止することができる。

【0061】また実施例では、平坦化絶縁膜としてTEOS膜を用いたが、他の有機オキシシランガスを用いた絶縁膜やSOG (Spin-On-Glass) 膜等を平坦化絶縁膜として用いた場合にも、この発明は有効である。

【0062】

【発明の効果】以上述べたようにこの発明によれば、層間絶縁膜をTEOS膜等の平坦化絶縁膜とこれに積層されたプラズマ酸化膜等の緻密絶縁膜との積層構造とすることにより、更に好ましくは、緻密絶縁膜／平坦化絶縁膜／緻密絶縁膜の3層積層構造とすることにより、プラズマ窒化膜を含むパシベーション膜からの水素の回路素子領域への拡散や平坦化絶縁膜からの水分やフッ素の回路素子領域への拡散を防止して、半導体装置の信頼性向上を図ることができ、特に不揮発性半導体メモリに適用して大きな効果を得ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例による第1層配線形成までの工程を示す断面図である。

【図2】同実施例の第2の層間絶縁膜のTEOS酸化膜堆積工程を示す断面図である。

【図3】同実施例のTEOS酸化膜平坦化工程を示す断面図である。

【図4】同実施例のTEOS酸化膜上のプラズマ酸化膜堆積工程を示す断面図である。

【図5】同実施例の第2層配線の形成工程を示す断面図である。

【図6】同実施例のパシベーション膜の形成工程を示す断面図である。

【図7】第2の実施例による第2の層間絶縁膜形成工程を示す断面図である。

【図8】同実施例の第2層配線の形成工程を示す断面図である。

【図9】同実施例の第3の層間絶縁膜のTEOS酸化膜堆積工程を示す断面図である。

【図10】同実施例のTEOS酸化膜平坦化工程を示す断面図である。

【図11】同実施例のTEOS酸化膜上のプラズマ酸化膜堆積工程を示す断面図である。

【図12】同実施例の第3層配線とパシベーション膜形成の工程を示す断面図である。

【図13】第3の実施例による第2層配線までの形成工程を示す断面図である。

【図14】同実施例の第3の層間絶縁膜のTEOS酸化膜堆積工程を示す断面図である。

【図 15】同実施例の T E O S 酸化膜平坦化工程を示す断面図である。

【図 16】同実施例の T E O S 酸化膜上へのプラズマ酸化膜堆積工程を示す断面図である。

【図 17】同実施例の第 3 層配線とパシベーション膜形成の工程を示す断面図である。

【図 18】T E O S 酸化膜にボイドが発生する様子を示す断面図である。

【図 19】ボイドを残して T E O S 酸化膜を平坦化する工程を示す断面図である。

【図 20】好ましいコンタクト形成工程を説明するための第 1 の層間絶縁膜形成までの工程を示す断面図である。

【図 21】第 1 の層間絶縁膜にコンタクト孔を開口した工程を示す断面図である。

【図 22】コンタクト孔を通してイオン注入を行う工程を示す断面図である。

【図 23】イオン注入後の R T A 処理工程を示す断面図

である。

【図 24】R T A 処理後の配線形成工程を示す断面図である。

【図 25】第 1 の層間絶縁膜にプラズマ酸化膜を積層形成する例を示す断面図である。

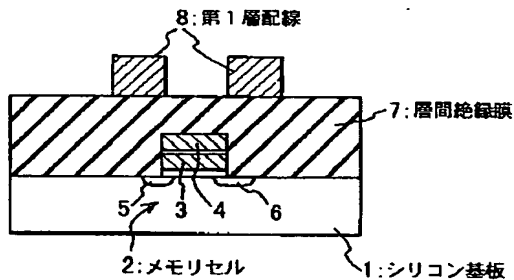
【図 26】従来の不揮発性メモリの 2 層配線構造を示す断面図である。

【図 27】従来の不揮発性メモリの 2 層配線構造の不都合を説明するための断面図である。

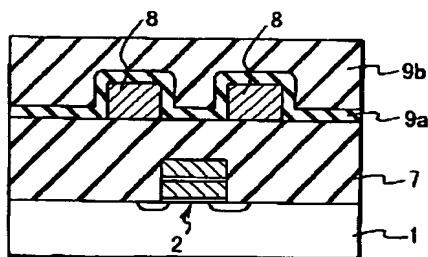
【符号の説明】

1…シリコン基板、2…不揮発性メモリセル、7…第 1 の層間絶縁膜、8…第 1 層金属配線、9…第 2 の層間絶縁膜、9 a…プラズマ酸化膜、9 b…T E O S 酸化膜、9 c…プラズマ酸化膜、10…第 2 層金属配線、11…第 3 の層間絶縁膜、11 a…プラズマ酸化膜、11 b…T E O S 酸化膜、11 c…プラズマ酸化膜、12…第 3 層金属配線、21…パシベーション膜、21 a…T E O S 酸化膜、21 b…プラズマ窒化膜。

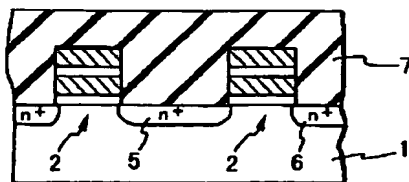
【図 1】



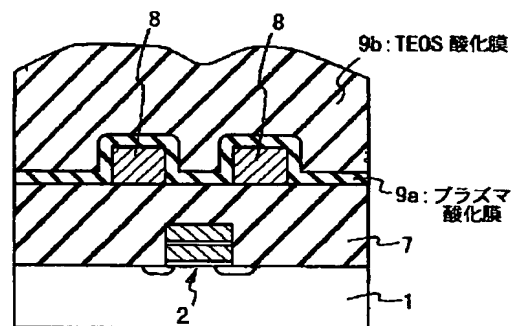
【図 3】



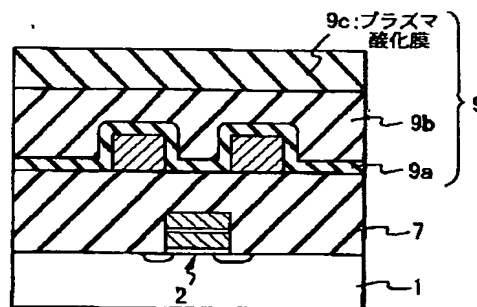
【図 20】



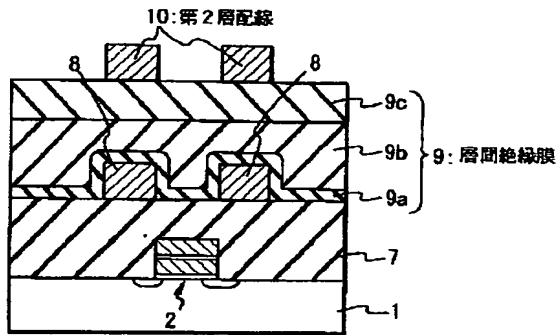
【図 2】



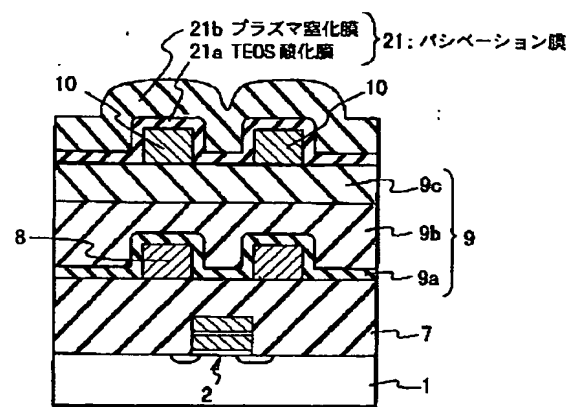
【図 4】



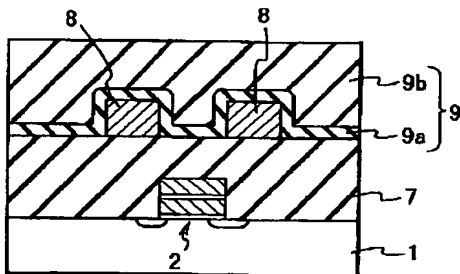
【図5】



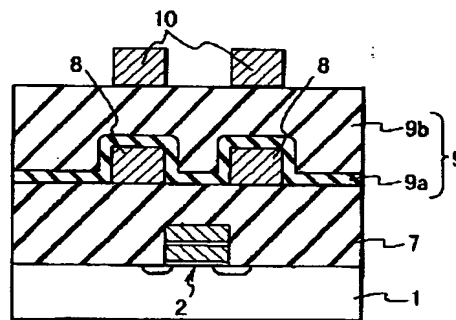
【図6】



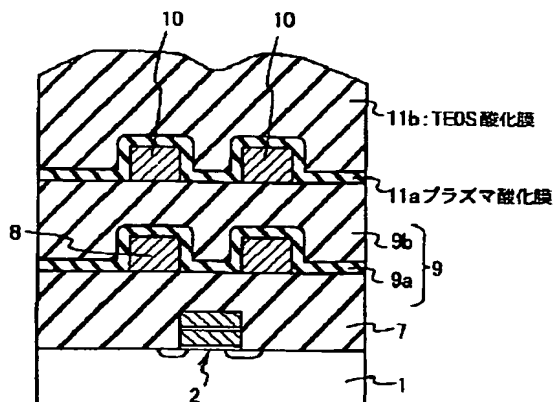
【図7】



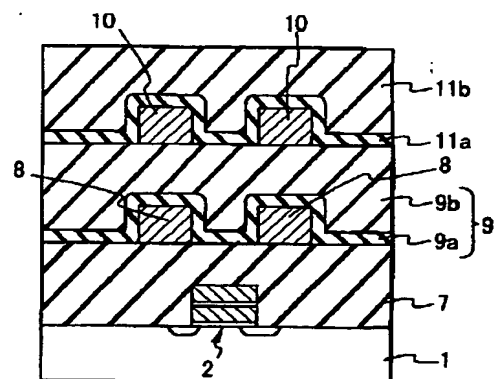
【図8】



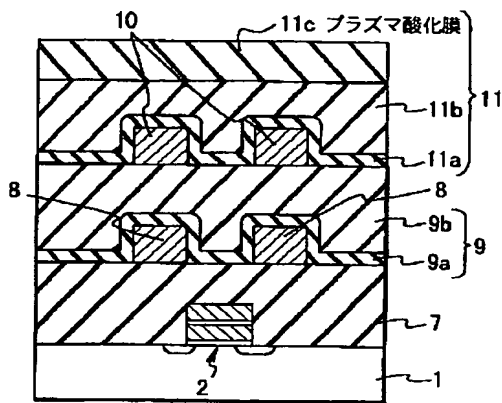
【図9】



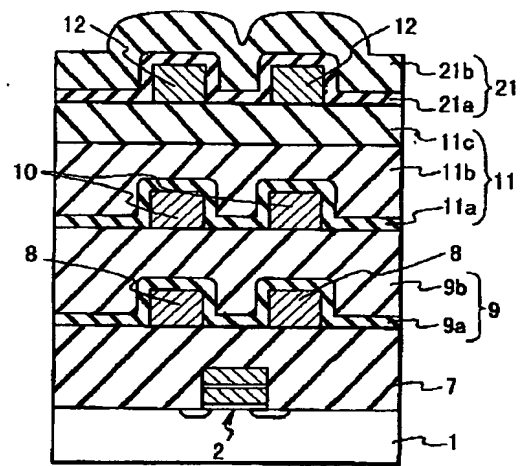
【図10】



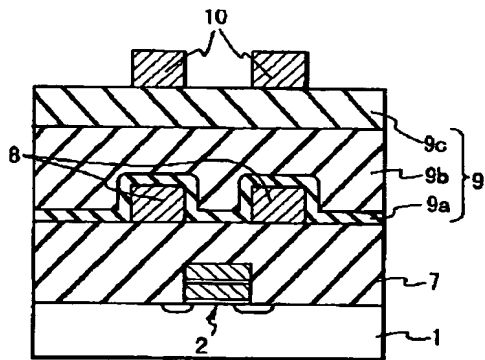
【図 1 1】



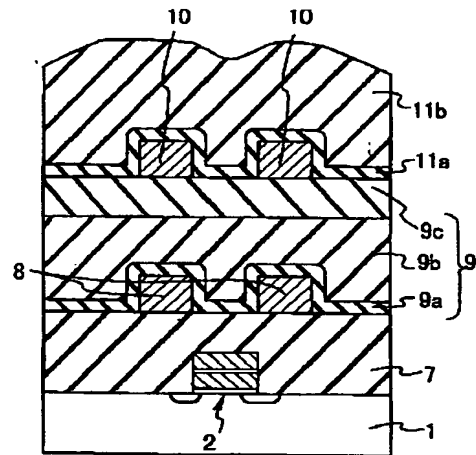
【図 1 2】



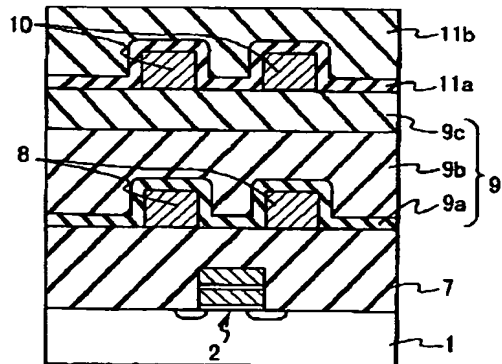
【図 1 3】



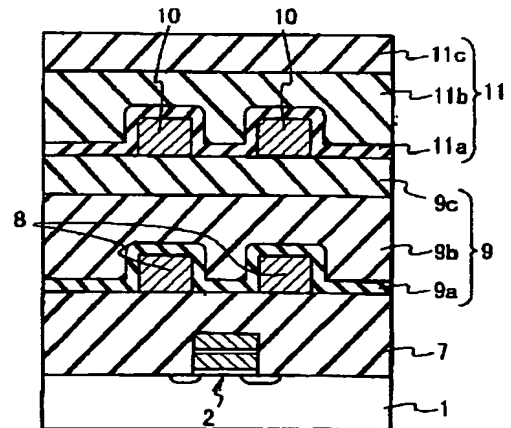
【図 1 4】



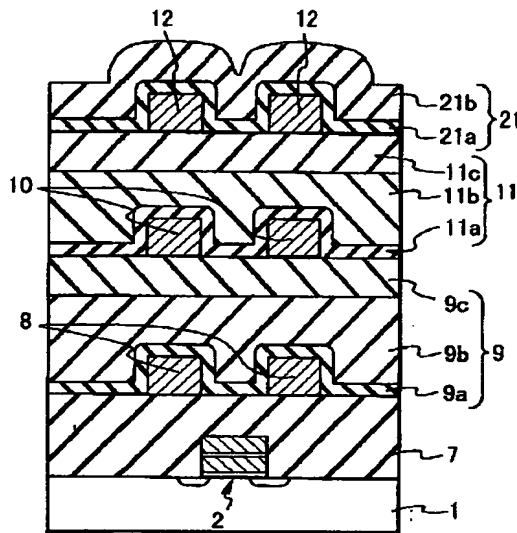
【図 1 5】



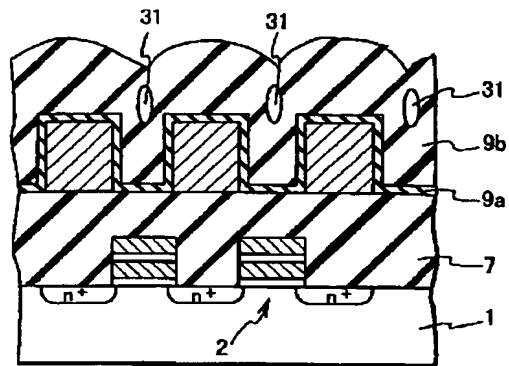
【図 1 6】



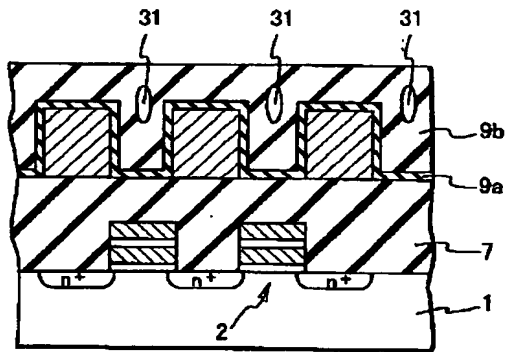
【図 17】



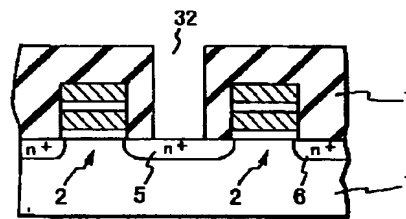
【図 18】



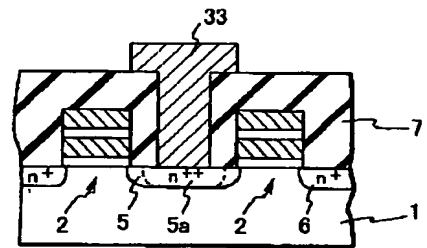
【図 19】



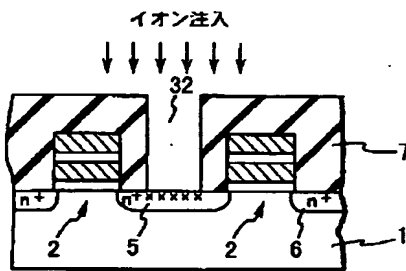
【図 21】



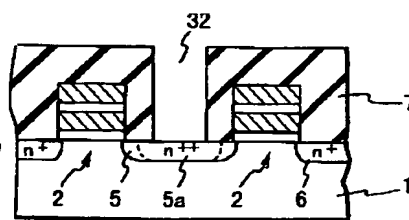
【図 24】



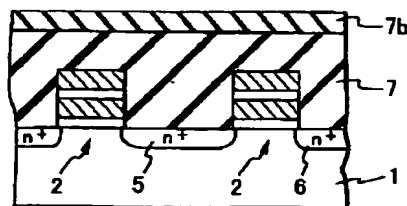
【図 22】



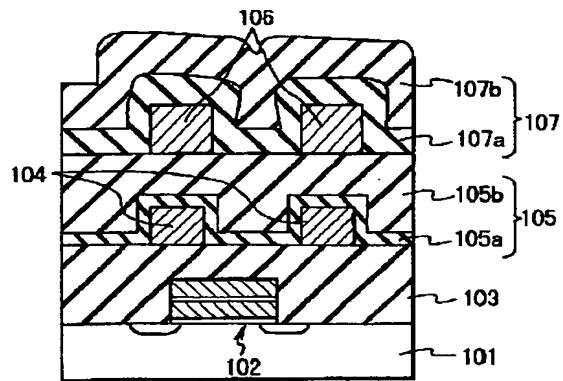
【図 23】



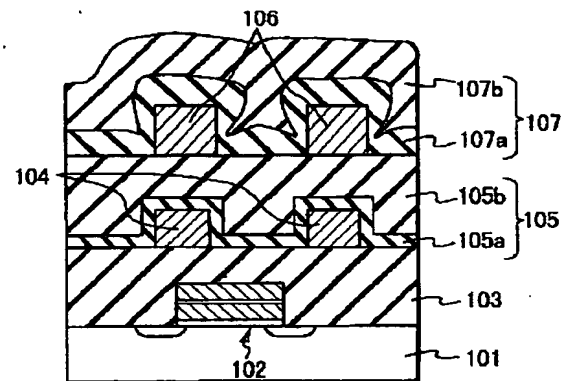
【図 25】



【図 2 6】



【図 2 7】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/788

29/792

識別記号

F I